



Publication No.: 10-1999-026231

Date of publication of application : April 15, 1999

Application No.: 10-1997-048285

Date of filing: September 23, 1997

Title: BUFFER CIRCUIT OF SEMICONDUCTOR DEVICE

Abstract:

The present invention relates to a buffer circuit having a control function of slew rate and includes an output driving part(220) consisting of interactive transistors PM25 and NM25; slew rate controlling part(210); the slew rate controlling part(210) includes: a first inverter and second inverter(211, 212), which reverse and output an input signal; a first slew rate controlling part(213) turning on transistor PM25 when a voltage level of the first inverter(211) in a output terminal transits from a high level to a low level; a second slew rate controlling part(214) turning on the transistor NM25 when a voltage level of the second inverter(212) transits from a low level to a high level. When the input signal transit from high level to a low level, the transistor PM25 is turned off and then the transistor NM25 is turned on; when the input signal transits from a low level to high level, the transistor PM25 is turned off and then the transistor NM25 is turned on, thus, the slew rate is controlled. Therefore, the effect of controlling the slew rate is a great since there is no section which the transistors PM25 and NM25 is simultaneously turned on, and an amount of current is dramatically decreased in switching. In particular, it is possible to control the slew rate by controlling size of transistors NM23 and PM23 consisting of a transmission gate. Therefore, an effect of decreasing a lay out area can be obtained in case of I/O cell having a structure of gate array and being easy sizing of transistor.

**BEST AVAILABLE COPY**

특.1999-026231

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H03K 19/08

(11) 공개번호 특.1999-026231  
(43) 공개일자 1999년 04월 15일

(21) 출원번호 특.1997-048285  
(22) 출원일자 1997년 09월 23일  
(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 정유선  
경기도 용인시 기흥읍 농서리 산 24번지  
(74) 대리인 임창현

심사청구 없음

(54) 반도체 장치의 버퍼회로

요약

본 발명은 슬루레이트(slew rate) 조절 기능을 구비한 버퍼회로에 관한 것으로, 서로 상보적인 트랜지스터 PM25, NM25로 구성되는 출력구동부(220)와, 슬루레이트(slew rate)를 조절하는 슬루레이트 조절부(210)로 구성되고, 상기 슬루레이트 조절부(210)는, 입력신호를 반전하여 출력하는 제 1 및 제 2 인버터(211, 212)와; 상기 제 1 인버터(211)의 출력단 전압레벨이 하이레벨에서 로우레벨로 변화될 때, 상기 트랜지스터 PM25를 턴온시키는 제 1 슬루레이트 조절부(213)와; 상기 제 2 인버터(212)의 출력단 전압레벨이 로우레벨에서 하이레벨로 변화될 때, 상기 트랜지스터 NM25를 턴온시키는 제 2 슬루레이트 조절부(214)를 포함하며, 상기 입력신호가 하이레벨에서 로우레벨로 변화될 때, 상기 트랜지스터 PM25가 턴오프된 후 상기 트랜지스터 NM25가 턴온되고, 상기 입력신호가 로우레벨에서 하이레벨로 변화될 때, 상기 트랜지스터 PM25가 턴오프된 후 상기 트랜지스터 NM25가 턴온되므로 슬루레이트의 조절이 된다. 따라서 상기 트랜지스터 PM25, NM25가 동시에 턴온되는 구간이 없어 스위칭시 전류량이 현저하게 감소되 슬루레이트의 조절효과가 크다. 특히 트랜스미션 게이트로 구성된 트랜지스터 NM23, PM23의 사이즈만을 조절하여 슬루레이트의 조절이 가능하다. 그러므로 트랜지스터의 사이즈가 용이하고 게이트 어레이 구조를 갖는 I/O 셀의 경우 레이아웃 면적의 감소효과를 얻을 수 있다.

도면

도 2

발명서

도면의 간단한 설명

도 1은 종래의 슬루레이트 조절부를 구비하는 반도체 장치의 버퍼회로의 일 예를 보여주는 회로도.

도 2는 본 발명의 바람직한 실시예에 따른 슬루레이트 조절부를 구비한 반도체 장치의 버퍼회로의 회로도; 그리고

도 3은 도 2에 도시된 버퍼회로의 입력단자의 입력신호의 변화에 따른 두 노드 Y1, Y2의 변화를 보여주는 파형도.

\* 도면의 주요부분에 대한 부호의 설명

110, 210 : 슬루레이트 조절부 120, 220 : 출력구동부

111~114, 211~214 : 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 버퍼회로에 관한 것으로서, 구체적으로는 슬루레이트(slew rate) 조절 기능을 구비한 버퍼회로에 관한 것이다.

도 1은 종래의 슬루레이트 조절부를 구비하는 반도체 장치의 버퍼회로의 일 예를 보여주는 회로도이다.

도 1에 도시된바와 같이, 종래의 슬루레이트 조절부를 구비하는 반도체 장치의 버퍼회로는 제 1 내지 제

4 인버터(111~114)로 구성된 솔루레이트 조절부(110)를 구비한다. 그리고 상기 제 1 내지 제 4 인버터(111~114)의 출력이 각각 해당되는 게이트단자에 입력되는 PMOS 트랜지스터 PM10, NMOS 트랜지스터 NM10와 PMOS 트랜지스터 PM11과, NMOS 트랜지스터 NM11로 구성된 출력구동부(120)를 구비한다.

상기 PMOS 트랜지스터 PM10와, NMOS 트랜지스터 NM10는 전원전압(VDD)과 전원접지(VSS)간에 직렬로 구성되며, 상기 제 1 및 제 2 인버터(111, 112)의 출력이 각각 게이트단자로 인가된다. 상기 PMOS 트랜지스터 PM11과, NMOS 트랜지스터 NM11은 전원전압(VDD)과 전원접지(VSS)간에 직렬로 구성되며, 상기 제 3 및 제 4 인버터(113, 114)의 출력이 각각 게이트단자로 인가된다.

상기 제 1 및 제 3 인버터(111, 113)는 상기 제 2 및 제 4 인버터(112, 114)보다 빠르게 스위칭이 일어나도록 상기 제 1 내지 제 4 인버터(111~114)의 사이즈가 조절된다. 그러므로 상기 출력구동부(120)에 공급되는 각각의 입력 신호가 시간차를 갖게 된다. 그러므로 상기 출력구동부(120)의 스위칭 전류(switching current)의 첨두(peak)값이 감소되고, 솔루레이트 제어효과를 얻게 된다.

그러나 이와 같은 종래의 경우에, 출력구동부에 입력신호를 제공하는 솔루레이트 조절회로에 구성된 각각의 인버터에 대하여 해당 특성에 적합하도록 사이징(sizing)이 되어야 하므로 매우 불편하였다. 그리고 사이징시에는 출력구동부에 구성된 트랜지스터의 사이즈도 고려하여야 하므로 더욱 그러하다.

또한 인버터 4개의 사이징 결과에 따라서는 레이아웃(layout size)도 많이 커질 수 있다. 특히, 게이트 어레이(gate array) 구조의 1/2 셀(cell)에 있어서는 트랜지스터 수가 너무 많아짐으로 제한된 영역에 전체회로를 모두 구현하지 못하는 경우도 발생할 수 있으며, 필요한 만큼의 솔루레이트의 조절이 되지 못하는 경우가 빈번히 발생하였다.

#### 본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서 솔루레이트 조절을 위한 사이징이 용이하고, 반도체 회로 구현시 레이아웃을 감소시킬 수 있는 솔루레이트 조절회로를 구비하는 반도체 장치의 버퍼회로를 제공하는데 있다.

#### 본 발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 서로 상보적인 트랜지스터로 구성되는 출력구동부와, 솔루레이트를 조절하는 솔루레이트 조절부를 포함하는 반도체 장치의 버퍼회로에 있어서 상기 솔루레이트 조절부는: (a) 입력신호를 반전하여 출력하는 제 1 및 제 2 인버터와, (b) 상기 제 1 인버터의 출력단 전압레벨이 제 1 전압레벨에서 제 2 전압레벨로 변화할 때, 상기 출력구동부에 구성된 하나의 제 1 도전형 트랜지스터를 턴온시키는 제 1 솔루레이트 조절부와, (c) 상기 제 2 인버터의 출력단 전압레벨이 상기 제 2 전압레벨에서 상기 제 1 전압레벨로 변화할 때, 상기 출력구동부에 구성된 다른 하나의 제 2 도전형 트랜지스터를 턴온시키는 제 2 솔루레이트 조절부를 포함하여, 상기 입력신호의 전압레벨이 제 1 전압레벨에서 제 2 전압레벨로 변화할 때, 상기 제 1 도전형 트랜지스터가 턴오프된 후 상기 제 2 도전형 트랜지스터가 턴온되고, 상기 입력신호의 전압레벨이 제 2 전압레벨에서 제 1 전압레벨로 변화할 때, 상기 제 1 도전형 트랜지스터가 턴오프된 후 상기 제 2 도전형 트랜지스터가 턴온되어 솔루레이트의 조절이 된다.

이 실시예에 있어서, 상기 제 1 솔루레이트 조절부는, 상기 제 1 인버터의 출력단에 채널의 일단이 연결되어 상기 제 1 인버터의 출력을 전달하는 전달수단과, 상기 제 1 인버터의 출력을 반전하여 출력하는 제 3 인버터와, 게이트단자에 상기 제 3 인버터의 출력이 인가되고, 채널의 일단에 제 1 전원전압이 인가되고 타단이 상기 전달수단의 타단 및 상기 출력구동부의 제 1 도전형 트랜지스터의 게이트로 접속되는 제 1 도전형 트랜지스터를 포함한다.

이 실시예에 있어서, 상기 전달수단은 제 1 전원전압이 게이트단자에 인가되어 전류패스가 형성되는 트랜스미션 게이트로 구성된다.

이 실시예에 있어서, 상기 트랜스미션 게이트는 NMOS 트랜지스터로 구성된다.

이 실시예에 있어서, 상기 제 2 솔루레이트 조절부는, 상기 제 2 인버터의 출력단에 채널의 일단이 연결되어 상기 제 2 인버터의 출력을 전달하는 전달수단과, 상기 제 2 인버터의 출력을 반전하여 출력하는 제 4 인버터와, 게이트단자에 상기 제 4 인버터의 출력이 인가되고, 채널의 일단에 제 2 전원전압이 인가되고 타단이 상기 전달수단의 타단 및 상기 출력구동부의 제 2 도전형 트랜지스터의 게이트로 접속되는 제 2 도전형 트랜지스터를 포함한다.

이 실시예에 있어서, 상기 전달수단은 제 2 전원전압이 게이트단자에 인가되어 전류패스가 형성되는 트랜스미션 게이트로 구성된다.

이 실시예에 있어서, 상기 트랜스미션 게이트는 PMOS 트랜지스터로 구성된다.

본 발명의 다른 특징에 의하면, 서로 상보적인 제 1 도전형 트랜지스터와, 제 2 도전형 트랜지스터로 구성된 출력구동부와, 솔루레이트를 조절하는 솔루레이트 조절부를 포함하는 반도체 장치의 버퍼회로에 있어서, 상기 솔루레이트 조절부는 동일한 신호를 입력하여 반전 출력하는 제 1 및 제 2 인버터와, 상기 제 1 인버터의 출력단에 일단이 연결되어, 상기 제 1 인버터의 출력을 전달하는 제 1 전달수단과, 상기 제 1 인버터의 출력을 반전하여 출력하는 제 3 인버터와, 게이트 단자에 상기 제 3 인버터의 출력이 인가되고, 채널의 일단에 제 1 전원전압이 인가되고 타단이 상기 전달수단의 타단 및 상기 출력구동부의 제 1 도전형 트랜지스터의 게이트 단자에 접속되는 제 1 도전형 트랜지스터와, 상기 제 2 인버터의 출력단에 일단이 연결되어, 상기 제 2 인버터의 출력을 전달하는 제 2 전달수단과, 상기 제 2 인버터의 출력을 반전하여 출력하는 제 4 인버터와, 게이트 단자에 상기 제 4 인버터의 출력이 인가되고, 채널의 일단에 제 2 전원전압이 인가되고 타단이 상기 제 2 전달수단의 타단 및 상기 출력구동부의 제 2 도전형 트랜지스터의 게이트 단자에 접속되는 제 2 도전형 트랜지스터를 포함한다.

이 실시예에 있어서, 상기 제 1 전달수단은 제 1 전원전압이 게이트단자에 인가되어 전류패스를 형성하는 트랜스미션 게이트로 구성된다.

이 실시예에 있어서, 상기 트랜스미션 게이트는 NMOS 트랜지스터로 구성된다.

이 실시예에 있어서, 상기 제 2 전달수단은 제 2 전원전압이 게이트단자에 인가되어 전류패스를 형성하는 트랜스미션 게이트로 구성된다.

이 실시예에 있어서, 상기 트랜스미션 게이트는 PMOS 트랜지스터로 구성된다.

상기와 같은 본 발명에 의하면, 출력구동부에 구성된 PMOS 트랜지스터 PM25, NMOS 트랜지스터 NM25가 동시에 턴온되는 구간이 없어지므로, 스위칭시에 전류량을 현저하게 감소시키게 되므로 슬루레이트의 조절효과를 크게 얻을 수 있다. 특히 트랜스미션 게이트로 구성된 2개의 트랜지스터의 사이즈만을 조절하므로 슬루레이트의 조절이 가능하게 된다. 그리고 증배의 슬루레이트 조절부에 비하여 사이징이 용이하고 게이트 어레이 구조를 갖는 1/0 셀의 경우 레이아웃 면적의 감소효과를 크게 얻을 수 있다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 2는 본 발명의 바람직한 실시예에 따른 슬루레이트 조절부를 구비한 반도체 장치의 버퍼회로의 회로도이다.

도 2 도시된바와 같이, 본 발명의 신규한 버퍼회로는 크게 슬루레이트 조절부(210)와, 출력구동부(220)로 구성된다. 상기 출력구동부(220)는 전원전압(VDD)과 접지전압(VSS) 간에 직렬로 구성되는 PMOS 트랜지스터 PM25, NMOS 트랜지스터 NM25로 구성된다. 그리고 상기 PMOS 트랜지스터 PM25와 NMOS 트랜지스터 NM25의 연결노드가 출력단자(202)에 접속된다.

상기 슬루레이트 조절부(210)는 동일한 신호를 입력하여 반전하여 출력하는 제 1 및 제 2 인버터(211, 212)와, 상기 제 1 인버터(211)의 출력단에 일단이 연결되어, 상기 제 1 인버터(211)의 출력을 전달하는 트랜스미션 게이트로 구성된 NMOS 트랜지스터 NM23과, 상기 제 1 인버터(211)의 출력을 반전하여 출력하는 제 3 인버터(215)와, 게이트 단자에 상기 제 3 인버터(215)의 출력이 인가되고, 채널의 일단에 전원전압(VDD)이 인가되고 타단이 상기 NMOS 트랜지스터 NM23의 타단 및 상기 출력구동부(220)의 PMOS 트랜지스터 PM25의 게이트 단자에 접속되는 PMOS 트랜지스터 PM24와, 상기 제 2 인버터(212)의 출력단에 일단이 연결되어, 상기 제 2 인버터(212)의 출력을 전달하는 트랜스미션 게이트로 구성된 PMOS 트랜지스터 PM23과, 상기 제 2 인버터(212)의 출력을 반전하여 출력하는 제 4 인버터(216)와, 게이트 단자에 상기 제 4 인버터(216)의 출력이 인가되고, 채널의 일단에 접지전압(VSS)이 인가되고 타단이 상기 PMOS 트랜지스터 PM23의 타단 및 상기 출력구동부(220)의 PMOS 트랜지스터 PM25의 게이트 단자에 접속되는 PMOS 트랜지스터 PM24를 포함하여 구성된다.

상기와 같이 구성된 슬루레이트 조절부(210)의 동작 특성은 다음과 같다.

도 2를 참조하여, 상기 NMOS 트랜지스터 NM23은 접지전압(VSS) 레벨의 신호는 잘 전달하지만 전원전압(VDD) 레벨의 신호는 문턱전압(threshold voltage) 만큼 높은 전압으로 전달한다. 이때, 상기 PMOS 트랜지스터 PM24는 턴온 상태에서 턴오프 상태로 진행하게 된다. 그러므로 상기 NMOS 트랜지스터 NM23을 통하여 하イレ벨에서 로우레벨로 신호가 전달된다. 이때, 상기 NMOS 트랜지스터 NM23의 사이즈를 작게 조절하면 트랜스미션 게이트 저항값이 증가하게 되므로 입력신호(A)의 변화가 상기 노드 V1로 전달되는 지연시간(delay time)이 증가된다.

반대로 상기 PMOS 트랜지스터 PM23은 전원전압(VDD) 레벨의 신호는 잘 전달하지만 접지전압(VSS) 레벨의 신호는 문턱전압(threshold voltage) 만큼 높은 전압으로 전달한다. 이때, 상기 NMOS 트랜지스터 NM24의 게이트 단자로 상기 제 4 인버터(216)를 통해 전원전압(VDD) 레벨의 신호가 인가되면, 상기 NMOS 트랜지스터 NM24는 턴오프 상태에서 턴온 상태로 진행하게 된다. 그러므로 상기 NMOS 트랜지스터 NM24를 통하여 접지전압(VSS) 레벨의 신호가 인가하게 된다. 이상과 같은 상기 슬루레이트 조절부(210)는 입력단자(201)로 입력된 입력신호(A)를 반전하여 두 노드 V1, V2로 출력한다.

이상의 회로에 대한 전체 동작을 첨부도면 도 2 내지 도 3을 참조하여 설명한다.

도 3은 도 2에 도시된 버퍼회로의 입력단자의 입력신호의 변화에 따른 두 노드 V1, V2의 변화를 보여주는 파형도이다.

먼저, 도 2 내지 도 3을 참조하면, 입력신호(A)가 로우레벨에서 하イレ벨로 진행할 때 동작은 다음과 같다.

상기 제 1 인버터(211)의 출력은 하イレ벨에서 로우레벨로 진행하고, 상기 제 3 인버터(215)를 통해 하イレ벨의 신호가 상기 PMOS 트랜지스터 PM24의 게이트 단자에 인가된다. 따라서 상기 PMOS 트랜지스터 PM24는 턴온 상태에서 턴오프 상태로 진행하게 된다. 그러므로 상기 NMOS 트랜지스터 NM23을 통하여 하イレ벨에서 로우레벨로 신호가 전달된다. 이때, 상기 NMOS 트랜지스터 NM23의 사이즈를 작게 조절하면 트랜스미션 게이트 저항값이 증가하게 되므로 입력신호(A)의 변화가 상기 노드 V1로 전달되는 지연시간(delay time)이 증가된다.

또한 상기 제 2 인버터(212)의 출력도 하イレ벨에서 로우레벨로 진행하고, 상기 제 4 인버터(216)를 통해 하イレ벨의 신호가 상기 NMOS 트랜지스터 PM24의 게이트 단자에 인가된다. 따라서 상기 NMOS 트랜지스터 NM24는 턴오프 상태에서 턴온 상태로 진행하게 된다. 그러므로 상기 NMOS 트랜지스터 NM24를 통하여 접지전압(VSS)의 레벨의 신호가 상기 노드 V2로 출력되게 된다. 이 경우에 신호가 트랜스미션게이트로 구성된 상기 PMOS 트랜지스터 PM23을 통하여 하イレ벨에서 로우레벨로 신호가 전달되는 것이 상기 NMOS 트랜지스터 NM24에 의한 것보다 늦게 된다. 그러므로 상기 입력신호(A)의 변화가 상기 노드 V2로 전달되는 지연시간은 짧게 된다.

그러므로 도 3에 도시된바와 같이, 입력신호가 로우레벨에서 하イレ벨로 변화된 경우(310)에는 먼저 상기

노드 Y2가 하이레벨에서 로우레벨로 변화되고, 일정 시간 뒤에 상기 노드 Y1이 하이레벨에서 로우레벨로 변화된다(320). 따라서 상기 출력구동부는 하이레벨의 신호를 출력한다.

다시, 입력신호(A)가 하이레벨에서 로우레벨로 변화되는 경우에 동작은 다음과 같다.

상기 제 1 인버터(211)의 출력이 로우레벨에서 하이레벨로 진행하고, 상기 제 3 인버터(215)를 통해 하이레벨의 신호가 상기 PMOS 트랜지스터 PM24의 게이트 단자에 인가된다. 따라서 상기 NMOS 트랜지스터 NM24는 턴오프 상태에서 턴온 상태로 진행하게 된다. 그러므로 상기 PMOS 트랜지스터 PM23를 통하여 전원전압(VDD) 레벨의 신호가 상기 노드 Y1로 출력되게 된다. 이 경우에 신호가 트랜스 미션게이트로 구성된 상기 NMOS 트랜지스터 NM23를 통하여 로우레벨에서 하이레벨로 신호가 전달되는 것이 상기 PMOS 트랜지스터 PM24에 의한 것보다 늦게 된다. 그러므로 상기 입력신호(A)의 변화가 상기 노드 Y1로 전달되는 지연시간은 짧게 된다.

또한 상기 제 2 인버터(212)의 출력은 로우레벨에서 하이레벨로 진행하고, 상기 제 4 인버터(216)를 통해 로우레벨의 신호가 상기 NMOS 트랜지스터 NM24의 게이트 단자에 인가된다. 따라서 상기 NMOS 트랜지스터 NM24는 턴온 상태에서 턴오프 상태로 진행하게 된다. 그러므로 상기 PMOS 트랜지스터 PM23를 통하여 로우레벨에서 하이레벨로 신호가 전달된다. 이때, 상기 PMOS 트랜지스터 PM23의 사이즈를 작게 조절하면 트랜스미션 게이트 저항값이 증가하게 되므로 입력신호(A)의 변화가 상기 노드 Y2로 전달되는 지연시간이 증가된다.

그러므로 도 3에 도시된바와 같이, 입력신호가 하이레벨에서 로우레벨로 변화되는 경우(350)에는 먼저 상기 노드 Y1이 로우레벨에서 하이레벨로 변화되고, 일정 시간 뒤에 상기 노드 Y2가 로우레벨에서 하이레벨로 변화된다(360). 따라서 상기 출력구동부는 하이레벨의 신호를 출력한다.

### 발명의 효과

이상과 같은 본 발명에 의하면, 출력구동부(220)에 구성된 PMOS 트랜지스터 PM25, NMOS 트랜지스터 NM25가 동시에 턴온되는 구간이 없어지므로 스위칭 시에 전류량을 현저하게 감소시키게 되므로 슬루레이트의 조절효과를 크게 얻을 수 있다. 특히 트랜스미션 게이트로 구성된 2개의 트랜지스터의 사이즈만을 조절하므로 슬루레이트의 조절이 가능하게 된다. 그리고 종래의 슬루레이트 조절부에 비하여 사이징이 용이하고 게이트 어레이 구조를 갖는 1/0 셀의 경우 레이아웃 면적의 감소효과를 크게 얻을 수 있는 효과가 있다.

### (51) 청구의 범위

#### 청구항 1

서로 상보적인 트랜지스터(PM25, NM25)로 구성되는 출력구동부(220)와, 슬루레이트(slew rate)를 조절하는 슬루레이트 조절부(210)를 포함하는 반도체 장치의 버퍼회로에 있어서,

상기 슬루레이트 조절부(210)는

(a) 입력신호를 반전하여 출력하는 제 1 및 제 2 인버터(211, 212)와;

(b) 상기 제 1 인버터(211)의 출력단 전압레벨이 제 1 전압레벨(high level)에서 제 2 전압레벨(low level)로 변화될 때, 상기 출력구동부(220)에 구성된 하나의 제 1 도전형 트랜지스터(PM25)를 턴온시키는 제 1 슬루레이트 조절부(213)와;

(c) 상기 제 2 인버터(212)의 출력단 전압레벨이 상기 제 2 전압레벨에서 상기 제 1 전압레벨로 변화될 때, 상기 출력구동부(220)에 구성된 다른 하나의 제 2 도전형 트랜지스터(NM25)를 턴온시키는 제 2 슬루레이트 조절부(214)를 포함하여,

상기 입력신호의 전압레벨이 제 1 전압레벨에서 제 2 전압레벨로 변화될 때, 상기 제 1 도전형 트랜지스터(PM25)가 턴오프된 후 상기 제 2 도전형 트랜지스터(NM25)가 턴온되고,

상기 입력신호의 전압레벨이 제 2 전압레벨에서 제 1 전압레벨로 변화될 때, 상기 제 1 도전형 트랜지스터(PM25)가 턴오프된 후 상기 제 2 도전형 트랜지스터(NM25)가 턴온되어 슬루레이트의 조절이 되는 것을 특징으로 하는 버퍼회로.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 슬루레이트 조절부(213)는

상기 제 1 인버터(211)의 출력단에 채널의 일단이 연결되어 상기 제 1 인버터의 출력을 전달하는 전달수단(NM23)과;

상기 제 1 인버터(211)의 출력을 반전하여 출력하는 제 3 인버터(215)와;

게이트단자에 상기 제 3 인버터(215)의 출력이 인가되고, 채널의 일단에 제 1 전원전압(VDD)이 인가되고 타단에 상기 전달수단(NM23)의 타단 및 상기 출력구동부(220)의 제 1 도전형 트랜지스터(PM25)의 게이트로 접속되는 제 1 도전형 트랜지스터(PM24)를 포함하는 것을 특징으로 하는 버퍼회로.

#### 청구항 3

제 2 항에 있어서,

상기 전달수단(NM23)은

제 1 전원전압(VDD)이 게이트단자에 인가되어 전류패스가 형성되는 트랜스미션 게이트(NM23)로 구성되는 것을 특징으로 하는 버퍼회로.

#### 청구항 4

제 3 항에 있어서,

상기 트랜스미션 게이트(NM23)는 NMOS 트랜지스터인 것을 특징으로 하는 버퍼회로.

#### 청구항 5

제 1 항에 있어서,

상기 제 2 슬루레이트 조절부(214)는:

상기 제 2 인버터(212)의 출력단에 채널의 일단이 연결되어 상기 제 2 인버터의 출력을 전달하는 전달수단(PM23)과;

상기 제 2 인버터(212)의 출력을 반전하여 출력하는 제 4 인버터(216)와;

게이트단자에 상기 제 4 인버터(216)의 출력이 인가되고, 채널의 일단에 제 2 전원전압(VSS)이 인가되고 타단이 상기 전달수단(PM23)의 타단 및 상기 출력구동부(220)의 제 2 도전형 트랜지스터(NM25)의 게이트로 접속되는 제 2 도전형 트랜지스터(NM24)를 포함하는 것을 특징으로 하는 버퍼회로.

#### 청구항 6

제 5 항에 있어서,

상기 전달수단(PM23)은

제 2 전원전압(VSS)이 게이트단자에 인가되어 전류패스가 형성되는 트랜스미션 게이트(PM23)로 구성되는 것을 특징으로 하는 버퍼회로.

#### 청구항 7

제 6 항에 있어서,

상기 트랜스미션 게이트(PM23)는 PMOS 트랜지스터인 것을 특징으로 하는 버퍼회로.

#### 청구항 8

서로 상보적인 제 1 도전형 트랜지스터(PM25)와, 제 2 도전형 트랜지스터(NM25)로 구성된 출력구동부(220)와, 슬루레이트(slew rate)를 조절하는 슬루레이트 조절부(210)를 포함하는 반도체 장치의 버퍼회로에 있어서,

상기 슬루레이트 조절부(210)는:

동일한 신호를 입력하여 반전하여 출력하는 제 1 및 제 2 인버터(211, 212)와, 상기 제 1 인버터(211)의 출력단에 일단이 연결되어 상기 제 1 인버터(211)의 출력을 전달하는 제 1 전달수단(NM23)과, 상기 제 1 인버터(211)의 출력을 반전하여 출력하는 제 3 인버터(215)와, 게이트 단자에 상기 제 3 인버터(215)의 출력이 인가되고, 채널의 일단에 제 1 전원전압(VDD)이 인가되고 타단이 상기 전달수단(NM23)의 타단 및 상기 출력구동부(220)의 제 1 도전형 트랜지스터(PM25)의 게이트 단자에 접속되는 제 1 도전형 트랜지스터(PM24)와, 상기 제 2 인버터(212)의 출력단에 일단이 연결되어 상기 제 2 인버터(212)의 출력을 전달하는 제 2 전달수단(PM23)과, 상기 제 2 인버터(212)의 출력을 반전하여 출력하는 제 4 인버터(216)와, 게이트 단자에 상기 제 4 인버터(216)의 출력이 인가되고, 채널의 일단에 제 2 전원전압(VSS)이 인가되고 타단이 상기 제 2 전달수단(PM23)의 타단 및 상기 출력구동부(220)의 제 2 도전형 트랜지스터(NM25)의 게이트 단자에 접속되는 제 2 도전형 트랜지스터(NM24)를 포함하는 것을 특징으로 하는 버퍼회로.

#### 청구항 9

제 8 항에 있어서,

상기 제 1 전달수단(NM23)은

제 1 전원전압(VDD)이 게이트단자에 인가되어 전류패스를 형성하는 트랜스미션 게이트로 구성되는 것을 특징으로 하는 버퍼회로.

#### 청구항 10

제 9 항에 있어서,

상기 트랜스미션 게이트는 NMOS 트랜지스터인 것을 특징으로 하는 버퍼회로.

#### 청구항 11

제 8 항에 있어서,

상기 제 2 전달수단(PM23)은

제 2 전원전압(VSS)이 게이트단자에 인가되어 전류패스를 형성하는 트랜스미션 게이트로 구성되는 것을 특징으로 하는 버퍼회로.

#### 청구항 12

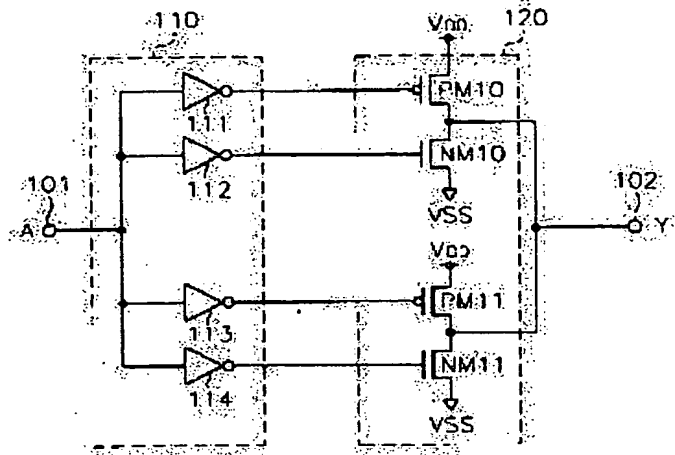
제 11 항에 있어서,

상기 트랜스미션 게이트는 PMOS 트랜지스터인 것을 특징으로 하는 버퍼회로,

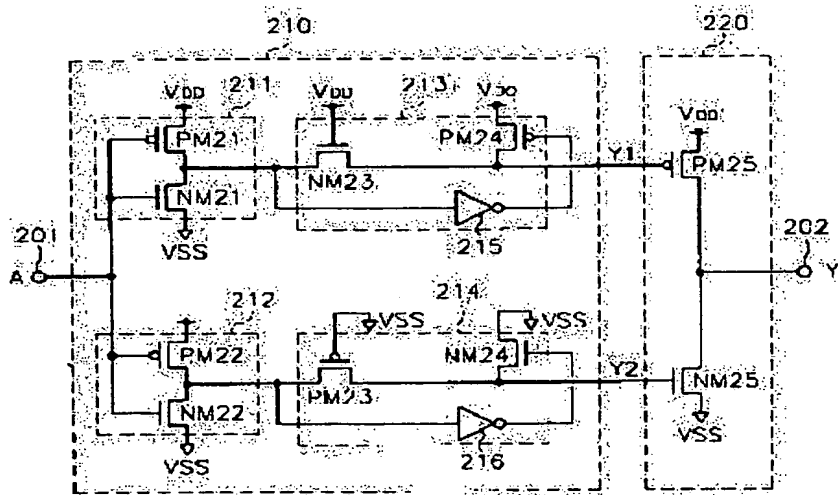
도면

도면1

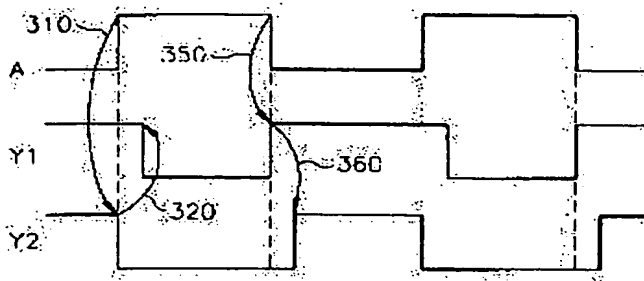
(중대 2슬)



도면2



도 3





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**